

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

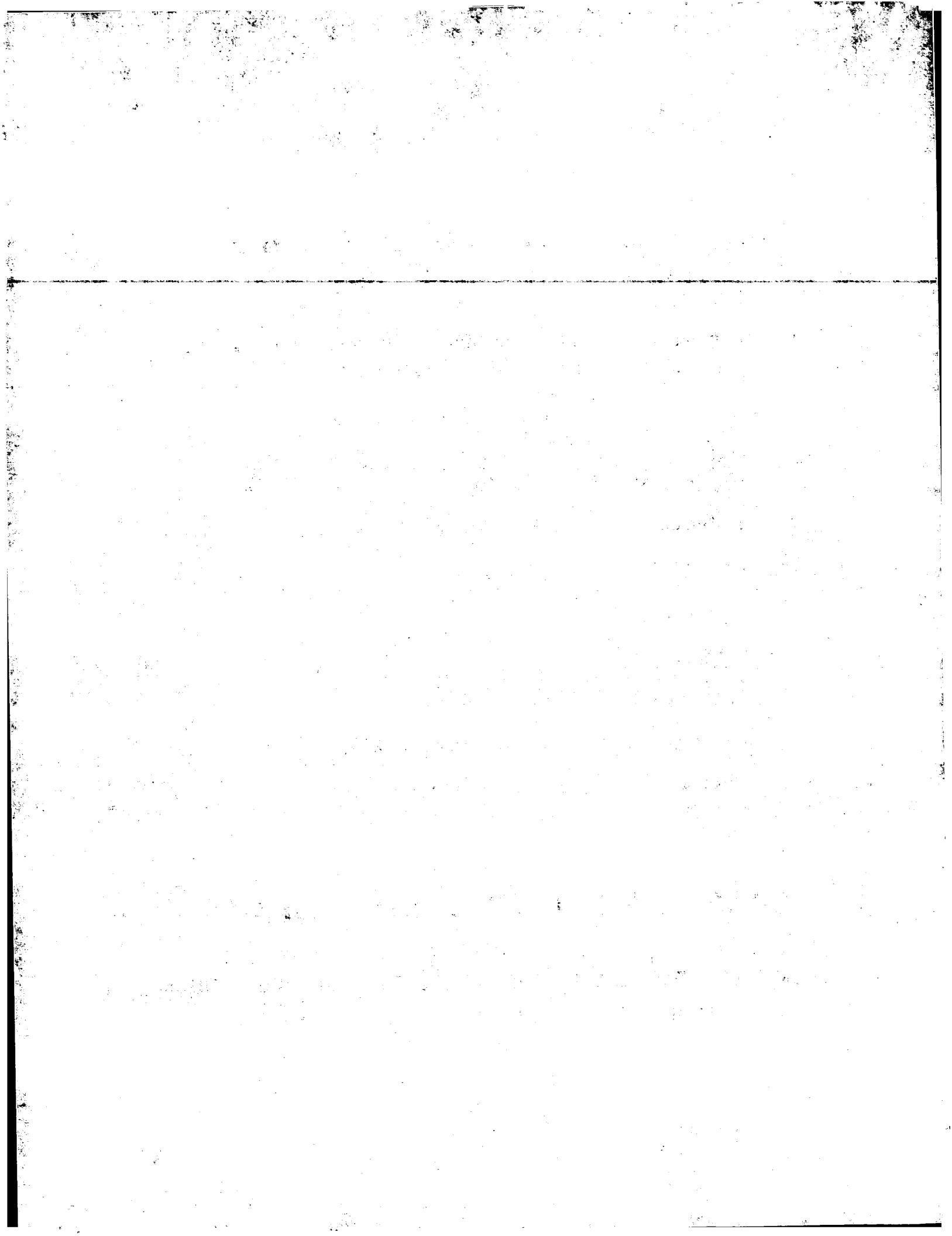
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



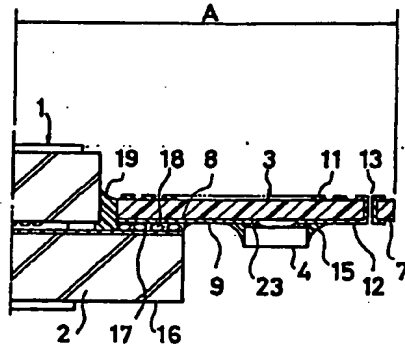


## 特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 6 H01L 21/60, G02F 1/1345	A1	(11) 国際公開番号 WO 95/13625  (43) 国際公開日 1995年5月18日 (18.05.95)
(21) 国際出願番号 PCT/JP94/01887 (22) 国際出願日 1994年11月9日 (09. 11. 94)  (30) 優先権データ 特願平5/283694 1993年11月12日 (12. 11. 93) JP  (71) 出願人 (本国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) (JP/JP) 〒163 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (本国についてのみ) 村松永至 (MURAMATSU, Eiji) (JP/JP) 〒392 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 鈴木喜三郎, 外 (SUZUKI, Kisaburo et al.) 〒163 東京都新宿区西新宿2丁目4番1号 セイコーエプソン株式会社内 Tokyo, (JP)  (81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  添付公開書類 国際調査報告書		

(54) Title : STRUCTURE AND METHOD FOR MOUNTING SEMICONDUCTOR DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称 半導体素子の実装構造及び実装方法、並びに液晶表示装置



## (57) Abstract

A semiconductor device (4) is mounted on one surface of a circuit board (3). The input wiring (12), output wiring (9), and either the input or output terminals (11 or 8) of the device (4) are formed on the same surface. When either the input or output terminals (11 or 8) are formed on the other surface of the board (3), the other terminals (8 or 11) are formed on the other surface of the board (3). The terminals (8 or 11) are interlayer-connected to their corresponding input or output wiring (12 or 9) through via holes. In order to interconnect adjacent semiconductor devices on the same circuit board or semiconductor devices on adjacent circuit boards, input bus wiring (14) connected to their input terminals is provided. When the semiconductor devices are mounted on a liquid crystal display device, the output terminals (8) are connected to the corresponding LCD terminals (17) of LCD cells (2) through an anisotropic conductive film (18). Adjacent circuit boards are interconnected by connecting their input terminals to each other through wires (21), FPC (22), etc.

(57) 要約

回路基板 3 の一方の面に半導体素子 4 が実装され、かつその同一面上に、半導体素子の入力配線 1 2 及び出力配線 9、並びに入力端子 1 1 または出力端子 8 の少なくともいずれか一方が形成される。入力端子または出力端子の一方のみが半導体素子の実装面に形成される場合、その他方の端子は回路基板の他方の面に形成され、かつ対応する入力配線または出力配線とビアホールを介して層間接続される。同一回路基板上の隣接する半導体素子間または隣接する別の回路基板の半導体素子間を連絡するために、入力端子に接続された入力バス配線 1 4 が設けられる。回路基板は出力端子を L C D セル 2 の対応する L C D 端子 1 7 に異方性導電膜 1 8 を介して接続させることにより、半導体素子が液晶表示装置に実装される。隣接する回路基板同士は、それらの隣接する入力端子間をワイヤ 2 1 又は F P C 2 2 等で接続することにより、相互に接続される。

情報としての用途のみ

P C T に基づいて公開される国際出願をパンフレット第一頁に P C T 加盟国を固定するために使用されるコード

AM	アルメニア	DK	デンマーク	LI	リヒテンシュタイン	PT	ポルトガル
AT	オーストリア	DE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	EE	エストニア	LR	リベリア	RU	ロシア連邦
BB	バルバドス	FI	フィンランド	LT	リトアニア	SD	スーダン
BE	ベルギー	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BG	ブルガリア	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア
BJ	ベナン	GB	イギリス	MC	モナコ	SK	スロバキア共和国
BR	ブラジル	GE	グルジア	MD	モルドバ	SN	セネガル
BY	ベラルーシ	GN	ギニア	MG	マダガスカル	SZ	スワジランド
CA	カナダ	GR	ギリシャ	ML	マリ	TD	チャード
CF	中央アフリカ共和国	HU	ハンガリー	MN	モンゴル	TG	トゴ
CG	コンゴ	IE	アイルランド	MR	モーリタニア	TJ	タジキスタン
CH	スイス	IT	イタリア	MW	マラウイ	TT	トリニダード・トバゴ
CI	コート・ジボアール	JP	日本	MX	メキシコ	UA	ウクライナ
CM	カメルーン	KE	ケニア	NE	ニジェール	UG	ウガンダ
CN	中国	KG	キルギスタン	NL	オランダ	US	米国
CZ	チェコ共和国	KP	朝鮮民主主義人民共和国	NO	ノルウェー	UZ	ウズベキスタン共和国
DE	ドイツ	KR	大韓民国	NZ	ニュージーランド	VN	ヴェトナム
		KZ	カザフスタン	PL	ポーランド		

## 明 細 書

半導体素子の実装構造及び実装方法、並びに液晶表示装置

技術分野

本発明は、半導体素子を実装するための構造及び方法に関し、特に液晶表示装置等の電子装置に回路基板を用いて半導体素子を実装するのに適した構造及び方法に関する。また、本発明は、かかる実装構造及び方法を用いてその駆動用半導体素子を実装した液晶表示装置に関する。

背景技術

従来より、電子装置に半導体素子を実装するために、所謂TAB (Tape Automated Bonding) 技術を用いて半導体素子を搭載したテープキャリアパッケージを一括接続するTAB方式や、ガラス基板の表面にパターン形成された配線に半導体素子を直接接続するCOG (Chip-on-Glass) 方式等が知られている。

液晶表示装置では、マトリクス構造のXY電極からなる液晶ディスプレイのパネル周辺部に、上述したTAB方式により駆動用半導体チップを接続するのが一般的である。しかしながら、この場合には、半導体素子の入力及び出力配線がTABパッケージの同一面に形成され、

かつ各 T A B パッケージが液晶パネルの外側に装着されるため、実装面積が非常に大きくなり、液晶表示部の周辺に大きな所謂額縁部分即ちデスエリアが形成されて、液晶表示装置全体が大型化し、相対的に表示面積が小さくなるという問題があった。

更に、各 T A B パッケージの半導体素子に入力信号及び電源等を供給するために入力バス配線を設けた別個の駆動回路基板が必要であり、そのためにデスエリアが一層拡大されると共に、コストが増大するという問題があった。

また、C O G 方式により駆動用半導体素子を液晶パネルの表面に直接実装する場合には、液晶パネル周辺部の表面に入力配線、出力配線等をパターンニングするため、液晶パネルの実装面積が大きくなり、T A B 方式の場合と同様にデスエリアが非常に大きくなる。更に、入力・出力配線と入力バス配線とを同一面上でクロス配線処理するため、製造コストが非常に高くなるという問題があった。

そこで、本願出願人は、特願平 5 - 2 2 3 5 2 3 号明細書に記載されるように、多層構造の回路基板を介して液晶駆動用 L S I を液晶表示装置に実装する構造を提案した。第 2 6 図及び第 2 7 図に示すように、この積層回路基板 5 5 は、その所定位置に駆動用 L S I 5 6 を接続した表面に、入力配線 5 7、出力配線 5 8 及び入力端子 5 9 を形成し、その裏面に液晶パネル 6 0 の接続端子 6

1 に接続するための出力端子 6 2 を形成し、かつ中間層に入力バス配線 6 3 等を設けると共に、出力配線と出力端子とを、及び入力配線とバス配線とをそれぞれバイアホール 6 4 を介して層間接続している。

これによって、TAB 基板に接続される駆動回路基板が不要になるので実装面積が小さくなり、液晶表示装置全体を小型化かつ薄型化できると共に、接続点数を少なくして信頼性の向上を図ることができる。

しかしながら、通常半導体素子 1 個当たり 80 ～ 数百もある多数の出力配線と出力端子とをバイアホールにより層間接続するために、製造コストが高くなり、かつ多数のバイアホールを形成するので回路基板の実装面積が大きくなるという問題があった。更に、少なくとも 3 層以上の多層構造となるために製造工程が複雑になって製造コストが増大するだけでなく、実装後の液晶表示装置の薄型化を十分に図れない。また、加工上の困難性から、出力配線のピッチを例えば  $150\mu\text{m}$  以下にまでファイン化することが困難である。このため、電子機器のダウンサイジング化の要請に十分対応することができない虞がある。

そこで、本発明の目的は、半導体素子を搭載した回路基板においてバイアホールによる層間接続を少なくしまたは完全に排除して、実装面積を小さくし、また回路基板から入出力線、バス配線のための中間導電層を排除して薄型化を図り、コンパクトでダウンサイジング化の要

請に対応できると共に、製造工程を簡単にし、かつ製造コストを低減させることができる半導体素子の実装構造及び実装方法を提供することにある。

また、本発明の別の目的は、液晶表示装置にその駆動用LSIを実装する場合に、液晶パネルの額縁面積即ちデスエリアを最小にして、実質的に表示面積を拡大し、ダウンサイジング化の要請に対応して装置全体の小型化・薄型化を図ることができる液晶表示装置を提供することにある。

#### 発明の開示

本発明によれば、電子装置に半導体素子を実装するための構造であって、それぞれに半導体素子を搭載し、かつ該半導体素子に接続された2組の入力配線及び1組の出力配線と、各組の入力配線にそれぞれ接続された2組の入力端子と、出力配線に接続された1組の出力端子と、各組間の入力端子を相互に接続する入力バス配線とを有する複数の回路基板を備え、各回路基板の出力端子を電子装置の対応する端子に接続し、かつ各回路基板が、その各組の入力端子を互いに隣接する別の回路基板の1組の入力端子と電氣的に接続することによって、相互に連結されることを特徴とする半導体素子の実装構造が提供される。

本発明の第1実施例によれば、各回路基板は、出力配線、出力端子及び入力配線が、半導体素子を実装した面



に形成され、入力端子及び入力バス配線が、半導体実装面と反対側の面に形成され、かつ各入力端子と対応する各入力配線とを接続するためのバイアホールが回路基板に設けられると共に、入力バス配線によって隣接する回路基板の各半導体素子を連絡するバス配線経路が構成されるようになっている。

この場合、前記入力バス配線に加えて、半導体素子の端子を経由して2組の入力配線を互いに接続することによって、第2の入力バス配線が半導体実装面に形成される。また、半導体素子の内部が複数にブロック分けされる場合には、同じ信号を各ブロックに2組の入力配線及び入力端子から別個に供給することができる。また、一方の組の入力配線から入力した信号に対する半導体素子の出力が、他方の組の入力配線を介して別の回路基板の半導体素子に送られ、該半導体素子から出力されるようなカスケード接続も可能である。更に、このような半導体素子と各2組の入力端子及び入力配線との接続は、必要に応じて適当に組み合わせることができる。

また、本発明の第2実施例によれば、各回路基板は、入力配線、入力端子及び出力配線が、半導体素子の実装面に形成され、出力端子が、半導体素子実装面と反対側の面に形成され、かつ各出力端子と対応する各出力配線とを接続するためのバイアホールが設けられると共に、それぞれ各組の入力端子に接続された2組の入力配線が互いに半導体素子の端子を経由して接続されることによ

って入力バス配線が形成され、同様に隣接する回路基板の各半導体素子を連絡するバス配線経路が構成される。また、この場合にも、上記第1実施例の場合のようなカスケード接続が可能である。

また、本発明の別の実施例によれば、各回路基板は、入力配線、入力端子、出力配線及び出力端子が、半導体素子の実装面に形成され、かつ入力バス配線が、一方の入力端子の組と他方の入力端子の組との間を半導体素子の端子を経由して接続する入力配線により形成され、隣接する回路基板同士を接続することによって各回路基板の半導体素子を連絡するバス配線経路が構成されるようにすることができる。この場合にも、上述したカスケード接続が可能であることは言うまでもない。

本発明によれば、このように構成することによって、回路基板に形成されるバイアホール数を削減し、またはバイアホールを排除することができ、回路基板の実装面積を小さくしかつ薄型化することができる。

また、本発明の別の実施例によれば、上述した各回路基板に複数の半導体素子を搭載することができ、これを電子装置に実装することによって、一回の接続工程で複数の半導体素子を同時に接続することができる。

また、本発明によれば、電子装置に半導体素子を実装するための方法であって、一方の面に半導体素子を実装し、かつ同一面に半導体素子を入力配線及び出力配線、並びに入力端子または出力端子の一方を有し、他方の面

に入力端子または出力端子の他方を有し、入力端子または出力端子の他方と一方の面の対応する入力配線または出力配線とをバイアホールを介して接続し、かつ入力端子と同一面上に入力バス配線を有する回路基板を用意し、出力端子を前記電子装置の対応する端子に接続することによって回路基板を電子装置に実装する工程からなることを特徴とする半導体装置の実装方法が提供される。

更に、本発明によれば、電子装置に半導体素子を実装するための方法であって、一方の面に半導体素子を実装し、同一面に半導体素子の入力配線及び出力配線、入力端子、出力端子、並びに入力バス配線を有する回路基板を用意し、出力端子を電子装置の端子に接続することによって回路基板を前記電子装置に実装する工程からなることを特徴とする半導体装置の実装方法が提供される。

特に、本発明による半導体素子の実装構造を液晶表示装置に適用した場合、それぞれ液晶駆動用半導体素子を搭載し、半導体素子に接続された2組の入力配線及び1組の出力配線と、各組の入力配線にそれぞれ接続された2組の入力端子と、出力配線に接続された1組の出力端子と、各組間の入力端子を相互に接続する入力バス配線とを有する複数の回路基板を備え、これらの回路基板において、出力配線、出力端子及び入力配線が、半導体素子を実装した面に形成され、入力端子及び入力バス配線が、半導体素子実装面と反対側の面に形成され、各入力端子と対応する各入力配線とを接続するためのバイアホ

ールが設けられ、かつ各回路基板の出力端子を液晶表示装置の電極端子に接続すると共に、各回路基板がその各組の入力端子を互いに隣接する別の回路基板の1組の入力端子と電氣的に接続することにより、相互に連結されていることを特徴とする液晶表示装置が提供される。

これによって、液晶表示パネルの表示部分の外側に形成される額縁部分を縮小することができ、実質的に表示部分を拡大して、ダウンサイジング化に適したコンパクトな液晶表示装置を得ることができる。

#### 図面の簡単な説明

第1図は、本発明による第1実施例の半導体素子の実装構造を適用した液晶表示装置の平面図である。

第2図は、第1図の液晶表示装置に使用される回路基板を示す平面図である。

第3図は、第1実施例の回路基板をLCDセルに接続した状態を示す第1図のⅢ-Ⅲ線に於ける部分拡大断面図である。

第4図は、第1実施例の回路基板の変形例を示す第3図と同様の断面図である。

第5図は、第1図の液晶表示装置に於いて隣接する回路基板同士の接続状態を示す部分拡大図である。

第6図は、FPC（フレキシブル配線板）を用いて隣接する回路基板同士を接続する別の実施例を示す図5と同様の部分拡大図である。

第 7 図は、本発明の第 2 実施例による回路基板を L C D セルに接続した状態を示す第 3 図と同様の断面図である。

第 8 図は、第 2 実施例の変形例を示す断面図である。

第 9 図は、2 個の L C D 駆動用 L S I を搭載した本発明の第 3 実施例による回路基板を示す平面図である。

第 1 0 図は、第 9 図の変形例を示す回路基板の平面図である。

第 1 1 図は、多数の L C D 駆動用 L S I を搭載した回路基板を L C D セルの周辺に接続した液晶表示装置を示す斜視図である。

第 1 2 図は、本発明の第 4 実施例による半導体素子の実装構造に使用する回路基板の平面図である。

第 1 3 図は、第 1 2 図の X II - X II 線に於ける回路基板の断面図である。

第 1 4 図は、第 4 実施例の回路基板を L C D セルに接続した状態を示す断面図である。

第 1 5 図は、第 4 実施例の回路基板の変形例を示す第 1 3 図と同様の断面図である。

第 1 6 図は、第 1 5 図の回路基板を L C D セルに接続した状態を示す断面図である。

第 1 7 図は、第 4 実施例の別の変形例による回路基板を示す第 1 2 図の X VI - X VI 線に於ける断面図である。

第 1 8 図 ( a ) ( b ) は、第 1 7 図の変形例による複数の回路基板を L C D セルに接続する際に、隣接する回

路基板同士の接続状態をそれぞれ示す平面図及び側面図である。

第 19 図 (a) ~ (c) は、それぞれ第 4 実施例による回路基板の更に別の変形例を示す断面図である。

第 20 図は、複数の回路基板を LCD セルに接続するための本発明の別の実施例を示す斜視図である。

第 21 図は、第 20 図の実施例の変形例を示す斜視図である。

第 22 図は、液晶表示装置の表示部及びデスエリアを示す平面図である。

第 23 図は、本発明の第 1 実施例を適用して駆動用 LSI を実装した電子印字装置を示す断面図である。

第 24 図は、第 4 実施例の回路基板を用いた電子印字装置を示す第 23 図と同様の断面図である。

第 25 図は、第 4 実施例の変形例による第 15 図の回路基板を用いた電子印字装置を示す断面図である。

第 26 図は、従来技術による多層構造の回路基板を用いた半導体素子の実装構造を示す断面図である。

第 27 図は、第 26 図の回路基板を示す平面図である。

#### 発明を実施するための最良の形態

第 1 図に於いて、本発明による半導体素子の実装構造を適用した液晶表示装置 1 は、通常の XY マトリックス電極構造を有する LCD セル 2 の周辺部に、その上辺、下辺及び左辺に沿ってそれぞれ多数の回路基板 3 が直線

状に連続して接続されている。LCDセル2の上辺及び下辺に接続された回路基板3にはX側の液晶駆動用LSI4が、前記LCDセルの左辺に接続された回路基板3にはY側の液晶駆動用LSI4が、それぞれ1個ずつ後述するように実装されている。また、LCDセル2の左上角部及び左下角部には、X側の前記回路基板の入力バス配線とY側の前記回路基板の入力バス配線とを連絡接続するための中継基板5がそれぞれ配設されている。更に、LCDセル2の左下角部の中継基板5には、前記各回路基板に電源及び電力信号を供給するためのケーブル6が接続されている。

回路基板3は、例えばセラミックス、ガラスエポキシ樹脂、ポリイミド樹脂等通常の比較的硬質な基板材料を用いて、図2に示されるように長手方向に細長い長方形に形成されている。回路基板3の一方の面7には、その下半分の略中央位置に、同様に細長い長方形をなす1個の液晶駆動用LSI4が長手方向に沿ってフェイスダウンボンディングにより実装されている。当然ながら、別の実施例では、必要に応じて長方形以外の異なる形状例えば正方形に近い外形のLSIを用いることができ、それに応じて回路基板3の外形を変更することができる。また、使用条件や必要に応じて、例えば液晶表示装置1の表示内容が増大して周波数が高くなる場合等に、回路基板3に電氣的グランド層を設ける必要が生じる。このような場合には、回路基板3の内部にグランド層として

導電層を設けることができる。

回路基板 3 の L S I 実装面即ち表面 7 の上半分には、その上辺に沿って長手方向に L S I 4 の出力端子と同数の 1 組の出力端子 8 が、一定のピッチで直線状に形成され、かつそれぞれ L S I 4 との間に配設された対応する出力配線 9 に接続されている。通常、出力端子 8 のピッチは約 100 ~ 200  $\mu$ m 程度であるが、その材料や成膜プロセスを適当に選択することによって、50  $\mu$ m 以下の狭ピッチに形成することも可能である。

回路基板 3 の L S I 実装面 7 と反対側の面即ち裏面 10 には、その左右両辺に沿ってそれぞれ L S I 4 の入力端子と同数の各 1 組の入力端子 11 が、一定のピッチで直線状に並設されている。本実施例に於いて、入力端子 11 のピッチは約 100 ~ 300  $\mu$ m 程度である。更に回路基板 3 の表面 7 には、入力配線 12 が、L S I 4 から前記回路基板の左右各辺に向けて対応する入力端子 11 の位置まで延長するようにパターン形成されている。各入力端子 11 は、対応する入力配線 12 とそれぞれバイアホール 13 を介して接続され、これにより L S I 4 に接続されている。本実施例に於いて、バイアホール 13 の直径は 100  $\mu$ m であるが、必要に応じて適当に変更することができる。更に、回路基板 3 の裏面 10 には、左辺の入力端子 11 と右辺の入力端子 11 とを相互に接続する入力バス配線 14 がパターン形成されている。

本実施例では、図示されるように、左右 2 組の入力端



子 1 1 が、それぞれ入力配線 1 2 を介して前記 L S I の入力端子に接続されている。従って、回路基板 3 の左辺の入力端子 1 1 と右辺の入力端子 1 1 とが、前記各 L S I の入力端子を経由して入力配線 1 2 によって相互に接続されるので、裏面 1 0 の入力バス配線 1 4 に加えて、それと並行に入力配線 1 2 からなる第 2 の入力バス配線が L S I 実装面 7 に設けられることになる。これにより、回路基板 3 全体として入力バス配線の抵抗値を小さくすることができる。

また、L S I 4 が特に第 2 図のように細長いスリムタイプの場合には、内部が複数に例えば左右にブロック分けされ、かつブロック毎に別個に L S I 入力端子を設けることがある。このような場合、各ブロックの前記 L S I 入力端子は、左右いずれか近い方の入力端子 1 1 と入力配線 1 2 を介して接続され、従って同じ信号が左右から別個に供給される。また、本実施例によれば、左辺の入力端子 1 1 から左辺側の入力配線 1 2 を介して L S I 4 に接続し、かつその出力を右辺側の入力配線 1 2 を介して右辺の入力端子 1 1 に接続することによって、隣接する左右の回路基板の L S I を直列に連結するカスケード接続に適用することができる。

実際には、これらの実施例を、使用する回路基板や L S I の構成等要求に応じて適当に組み合わせることができる。例えば、L S I 4 の内部が部分的に例えば電源系統がブロック分けされて、一部の信号が左右の入力端子

及び入力配線から別個に入力され、他の一部の信号は上述したカスケード接続により、例えば右側の入力端子及び入力配線を介して隣接する回路基板のLSIに送信され、かつ残りの信号が、LSIの入力端子を経由して接続される左右の入力配線からなる入力バス配線を介して送信されるように構成することも可能である。

これらの配線9、12、14及び端子8、11は、Au単体により、またはAgPd、Ag、Cuをベース材料として必要に応じてNi・AuまたはSn等をめっきすることにより形成され、かつ必要に応じてその表面にソルダレジスト等を塗布することによって、腐食及び損傷の防止を図ることができる。ビアホール13は、前記各配線及び端子と同様にAu等の金属材料により、またはAgPd、Ag、Cuをベース材料に必要に応じてNi・AuまたはSn等をめっきすることにより形成され、かつ必要に応じてソルダレジスト等が塗布される。回路基板3に実装されたLSI4は、必要に応じて紫外線硬化型、熱硬化型エポキシ系等の接着剤からなるモールド材15で被覆することにより、耐湿性、絶縁性を高めて信頼性の向上を図ることができる。

第3図には、回路基板3をLCDセル2に接続することによって、駆動用LSI4を液晶表示装置1に実装した構造が示されている。LCDセル2の電極パターンを形成した下側の透明電極基板16の周辺部上面には、前記電極に接続されたLCD端子17が、回路基板3の出

力端子 8 に対応させて所定ピッチで直線状に形成されている。各 LCD 端子 17 は、通常 ITO（酸化インジウムスズ）透明電極からなり、必要に応じて Cr、Ni、Au、Cu 等の金属又はそれらを組み合わせてめっき処理することができる。

回路基板 3 は、各出力端子 8 を対応する LCD 端子 17 と位置合わせしつつ、それらの間に ACF 即ち異方性導電膜 18 を配設して、所定の加圧・加熱ツールにより熱圧着することによって、一括して電気的かつ機械的に接続される。本実施例では、ACF 18 として日立化成工業（株）製の AC6000 番系または 7000 番系の熱硬化型のものを使用した。また、ACF には、例えば UV 硬化性のものや、ペースト状の異方性導電接着剤を用いることができる。更に、LCD セル 2 と回路基板 3 との接続部分には、防湿等を目的としてモールド材 19 を施すことができる。

別の実施例では、第 4 図に示すように回路基板 3 の出力端子 8 に Au、Cu 等のバンプ 20 が形成されている。これに、第 3 図と同様に ACF 18 を用いて接続することによって、出力端子 8 と LCD 端子 17 とをより確実かつ良好に電気的に接続することができる。

第 5 図に示すように、隣接させて LCD セル 2 に接続された回路基板 3、3' 同士は、互いに隣接する入力端子 11、11' 同士が、Au、Al、Cu 等の金属又はそれらの合金からなるワイヤ 21 を用いてワイヤボンデ

イングにより相互に接続されている。これによって、LCDセル2の周辺に連続して実装された全回路基板3の入力バス配線14が相互に連絡される。實際上、隣接する前記回路基板の入力端子同士をワイヤボンディングする際には、回路基板3、3'の下側に適当な支持部材を配設すると好都合である。また、別の実施例では、第6図に示すように、その表面に配線をパターン形成したFPC22を用いて、隣接する回路基板3、3'の入力端子11、11'間を接続することができる。

また、上述した実施例では、LSI4がAu等のバンパ付き入力・出力端子23を有し、フェイスダウン方式で回路基板3の入力及び出力配線11、9に直接接続されている。しかしながら、フェイスアップ方式を採用して回路基板3上に上向きに固定したLSI4の各入力・出力端子を対応する入力及び出力配線とワイヤボンディングすることもできる。

このように、本発明の半導体素子の実装構造によれば、回路基板3の出力端子8をLSI4の実装面7と同一面上に設けてLCDセル2の端子17と接続することによって、上述した特願平5-223523号明細書記載の実装構造のように、出力配線と出力端子とを接続するためのバイアホールを回路基板に設ける必要がない。特に出力端子の数は入力端子の数よりも非常に多く、上述したように半導体素子1個当たり80～数百個であるから、出力端子のためのバイアホールをなくすことによって、

回路基板をコンパクトかつ安価に形成でき、かつその面積を有効に利用でき、配線の自由度を高めることができる。また反対側の面 10 に入力端子 11 及び入力バス配線 14 を形成することによって、回路基板 3 の外形をより小さくし、かつ中間導電層をなくしてその厚さを薄くすることができる。

これによって、LCD セル 2 の周囲に存在する額縁部分、即ち第 1 図に於いて液晶表示装置 1 の表示部 24 の周囲に寸法 A で示される実装領域を、非常に小さくすることができる。更に、回路基板 3 の薄型化によって、該回路基板を LCD セル 2 に実装した際にその厚さの範囲内に LSI 4 を収めることができる。従って、実装構造をコンパクト化して、液晶表示装置 1 全体を小型化することができる。また、別の実施例では、LCD セル 2 のいずれか 1 辺にのみ、2 辺又は 4 辺全部に本発明による半導体素子の実装構造を用いることができ、その場合にも同様の作用効果が得られる。

第 7 図には、本発明による半導体素子の実装構造の第 2 実施例が示されている。本実施例の回路基板 3 は、第 2 図に示す第 1 実施例の回路基板と概ね同じ細長い長方形をなし、かつその略中央に LCD 駆動用 LSI 4 が実装されている。LSI 実装面 7 には、出力配線 9、入力配線 12 に加えて、その左右両辺に沿って各 1 組の、それぞれ LSI 4 の入力端子と同数の入力端子 11 が形成されている。左辺の入力端子 11 と右辺の入力端子 11

とは、それぞれ対応する左右の入力配線 1 2 を介して L S I 4 の入力端子に接続されている。即ち、L S I 4 の前記入力端子を経由して左右両辺の入力端子 1 1 同士を接続する左右の入力配線 1 2 が、同時に入力バス配線 1 4 を構成する。更に、本実施例では、左辺の入力配線 1 2 から入力した信号に対する前記 L S I の出力が、右辺の入力配線 1 2 を介して別の回路基板の L S I に送られ、該 L S I から出力されるようなカスケード接続を組み合わせることも可能である。

回路基板 3 の L S I 実装面 7 と反対側の面 1 0 には、第 1 実施例の回路基板と同様にその上辺に沿って長手方向に 1 組の出力端子 8 が形成され、かつ回路基板 3 を貫通するビアホール 2 5 によってそれぞれ対応する出力配線 9 と相互に接続されている。回路基板 3 は、出力端子 8 を電極基板 1 6 上の L C D 端子 1 7 と位置合わせしつつ、その間に A C F 1 8 を配置して熱圧着することにより、同様に L C D セル 2 に電気的かつ機械的に接続される。本実施例の場合にも、隣接する回路基板 3 同士は、第 1 実施例と同様に入力端子 1 1 同士をワイヤ又は F P C を用いることによって相互に接続される。

本実施例の場合、L S I 実装面 7 上では入力配線 1 2 即ち入力バス配線を設計する際に、電極基板 1 6 との接着面積を必要とする反対側の面 1 0 と比較して、そのピッチをより大きく設定できるので有利である。また、入力端子 1 1 と接続するためのビアホールを設ける必要

がないので、上述した第1実施例程度ではないが、回路基板3のコンパクト化、コストの低減化及び基板面積の有効利用を図ることができる。

第8図には、上述した第2実施例の変形例が示されており、電極基板16の周辺部が、その平面に於いて回路基板3全体を含む領域まで拡大されている。これにより、回路基板3を、出力端子8の部分だけでなくその下面10全体で電極パネル16上に接着することができ、LCDセル2に回路基板3を機械的により強固にかつ確実に接続することができる。

第9図には、1個の回路基板に2個のLCD駆動用LSIを実装した本発明の第3実施例による半導体素子の実装構造が示されている。この回路基板31は、第2図に示す第1実施例の回路基板3と同様の構成を有し、かつそれよりも左右に細長い帯板状に形成され、その一方の面7に2個のLSI4、4'が、長手方向に一方の側辺に沿って直列にフェイスダウンボンディングにより実装されている。

LSI実装面7には、各LSI4、4'の出力端子に対応する同数の各1組の出力端子8、8'が、それぞれ長手方向の他方の側辺に沿って一定ピッチで直線状に配置されている。前記各組の出力端子は、それぞれ対応する各LSI4、4'から延長するようにパターン形成された出力配線9、9'と接続されている。回路基板3の裏面10には、左右各辺にそれぞれ1組の、LSI4、

4' の入力端子と同数の入力端子 1 1、1 1' が、一定ピッチで配置されている。前記左右各組の入力端子同士は、前記回路基板裏面を長手方向に延長するようにパターン形成された入力バス配線 1 4 によって、相互に接続されている。

更に L S I 実装面 7 には、各 L S I 4、4' の入力配線 1 2、1 2' がそれぞれパターン形成されている。前記各 L S I から回路基板 3 の左辺または右辺に向けて延長する入力配線 1 2、1 2' は、バイアホール 1 3、1 3' を介して対応する各入力端子 1 1、1 1' と相互に接続されている。更に前記両 L S I 4、4' 間を延長する入力配線 1 2、1 2' が、相互に接続されると共に、共通のバイアホール 1 3'' を介して入力バス配線 1 4 と接続されている。

従って、第 1 実施例の回路基板 3 の場合と同様に、回路基板 3 1 の左辺の入力端子 1 1 と右辺の入力端子 1 1' とが、前記両 L S I の入力端子を経由して入力配線 1 2 及び 1 2' によって相互に接続される。これにより、上述した入力バス配線 1 4 に加えて、第 2 の入力バス配線が L S I 実装面 7 に設けられることになり、全体として入力バス配線の抵抗値を小さくすることができる。

更に第 1 実施例の場合と同様に、L S I 4、4' が細長いスリムタイプで内部が左右にブロック分けされている場合には、前記各 L S I の左側または右側ブロックの入力端子が、左辺または右辺の近い方の入力端子 1 1、



1 1' と入力配線 1 2、1 2' を介して接続され、かつ前記各 L S I の他方のブロックの入力端子が、両 L S I 間の入力配線 1 2、1 2' 及び共通のバイアホール 1 3' を介して入力バス配線 1 4 と接続されて、同じ信号が左右ブロックに別個に供給される。また、左辺の入力端子 1 1 から左辺側の入力配線 1 2 を介して左側の L S I 4 に接続し、その出力を前記両 L S I 間の入力配線 1 2、1 2' を介して右側の L S I 4' に接続し、かつその出力を右辺側の入力配線 1 2' を介して右辺の入力端子 1 1' に接続するカスケード接続を含むようにまたは組み合わせて配線を構成することも可能である。

回路基板 3 1 は、第 3 の場合と同様に各出力端子 8、8' を対応する電極基板の L C D 端子に位置合わせしつつ、A C F を用いて L C D セルに一括接続される。このように、本実施例によれば、2 個の液晶駆動用 L S I を 1 回の接続工程で L C D セルに実装することができる。また、隣接する回路基板 3 1 の入力端子間は、ワイヤボンディング又は F P C により相互に接続される。これによって、隣接する回路基板同士を連絡するためのバス配線経路が形成される。

また、本実施例では、回路基板 3 1 を、第 7 図の第 2 実施例と同様に L S I 実装面に出力端子を設けた構成にすることができる。第 1 0 図には、このような変形例による半導体素子の実装構造が示されている。同図の回路基板 3 1 も同様に細長い帯板状をなし、かつその一方の

面 7 に 2 個 の L S I 4、 4' が、 長手方向に沿って直列にフェイスダウンボンディングされている。

L S I 実装面 7 には、 左右各辺にそれぞれ 1 組の入力端子 1 1、 1 1' が一定ピッチで配置され、 かつ前記各入力端子から各 L S I 4、 4' に向けて入力配線 1 2、 1 2' がパターン形成されている。 更に L S I 実装面 7 の上辺に向けて各 L S I 4、 4' の出力配線 9、 9' がパターン形成されている。 回路基板 3 の裏面 1 0 には、 L C D セルに接続するための各 1 組の出力端子 8、 8' が、 それぞれ長手方向の側辺に沿って出力配線 9、 9' に対応する位置に直線状に配置され、 かつ回路基板 3 を貫通するバイアホール 2 5、 2 5' を介して相互に接続されている。

また、 回路基板 3 の L S I 実装面 7 には、 L S I 4、 4' の入力端子が接続されるランド同士を接続する入力バス配線 1 4 がパターン形成されている。 これによって、 入力端子 1 1、 1 1' 同士が入力配線 1 2、 1 2' 及び入力バス配線を介して相互に接続され、 隣接する回路基板同士を連絡するためのバス配線経路を形成している。

更に本発明によれば、 1 個の回路基板に 3 個又はそれ以上の半導体素子を実装して、 1 度の接続工程で多数の半導体素子を同時に実装することができる。 このような本発明の好適な実施例が第 1 1 図に示されている。 同図に示すように、 L C D セル 2 には、 その周辺部に沿って上辺、 下辺及び左辺にそれぞれ 1 個の細長い帯板状の回

路基板 3 2 ~ 3 4 が接続されている。回路基板 3 2、3 4 にはそれぞれ 8 個の X 側駆動用 L S I 4 1、4 2 が、及び回路基板 3 3 には 4 個の Y 側駆動用 L S I 4 3 が、それぞれ一方の面に長手方向に沿って直線状に連続して実装されている。

各回路基板 3 2 ~ 3 4 は、第 1 0 図示の実施例と略同様の構成を有し、L S I 実装面には、左右両辺に設けられた各 1 組の入力端子に接続された入力配線、及び隣接する L S I 同士を連絡するための入力バス配線がパターン形成されている。前記 L S I 実装面と反対側の面には、各 L S I の出力端子が長手方向の一方の側辺に沿って形成されている。従って、各回路基板 3 2 ~ 3 4 は、前記出力端子と電極基板 1 6 との間に A C F を用いることによって、容易に電極基板 1 6 に一括接続される。

更に、L C D セル 2 の左上角部には、中継基板 5 が配設されて、X 側の回路基板 3 2 と Y 側の回路基板 3 3 とを前記入力端子を介して相互に接続している。L C D セル 2 の左下角部には、外部へのケーブルを一体化した中継基板 5' が配設され、下側の X 側回路基板 3 4 と Y 側回路基板 3 3 を接続すると共に、前記各回路基板に外部から電源、入力信号等を供給することができる。また、当然ながら、X 側回路基板 3 2、3 4 は、Y 側回路基板の接続されない右辺又は左辺には、前記入力端子を設けなくてもよい。

本発明によれば、このように L C D セルの各辺に沿っ

てそれぞれ 1 個の回路基板を接続することにより多数の液晶駆動用 L S I を実装することによって、工数を少なくし、かつ作業を容易にして生産性の向上を図り、製造コストを低減させることができる。同時に、上述した各実施例と同様に、液晶表示装置の実装面積を従来より大幅に少なくすることができる。例えば、第 22 図に示すように、本発明による実装構造を用いて 20 cm (8 インチ) サイズの液晶表示パネルを製造した場合、同一の外形寸法に対して表示部 24 の周囲に形成される額縁部分即ちデスエリアの大きさを、同図に示す寸法 A に於いて従来の  $A_1 = 9 \text{ mm}$  から  $A_2 = 5 \text{ mm}$  に削減することができた。これによって、同一外形寸法の液晶表示パネルに於いて、表示部のサイズを  $D_1 = 20 \text{ cm}$  から  $D_2 = 22 \text{ cm}$  (8.7 インチ) のものに変更することができ、表示面積を実質的に拡大することができた。

また、本実施例においても、回路基板 35 を、第 2 図の第 1 実施例の回路基板 3 と同様に L S I 実装面に出力端子を設けた構成にすることができ、その場合にも同様に 2 個の液晶駆動用 L S I を搭載することができる。

第 12 図及び第 13 図には、本発明の第 4 実施例による半導体素子の実装構造の回路基板 35 が示されている。本実施例の回路基板 35 は、上述した第 1 乃至第 3 実施例の回路基板と同様に細長い長方形をなすが、L C D 駆動用 L S I 4 の実装面 7 上に出力端子 8、出力配線 9、入力端子 11、及び入力配線 12 がパターン形成され、

そのためにバイアホールを全く有しない点で異なる。このように、出力端子又は入力端子と出力配線又は入力配線を接続するバイアホールを全く用いないことによって、回路基板 35 自体の構成を極めて簡単にすることができ、製造コストをより一層低減させることができる。

更に、回路基板 35 の左右各辺には、それぞれ 1 組の L S I 4 の入力端子と同数の入力端子 11 が配設され、かつそれぞれ入力配線 12 を介して前記 L S I 入力端子と接続されている。このように左辺及び右辺の入力端子 11 同士を接続する入力配線 12 によって、同時に隣接する別の回路基板を連絡するための入力バス配線が形成される。また、本実施例においても上述した各実施例と同様に、左辺の入力配線 12 から入力した信号に対する前記 L S I の出力が、右辺の入力配線 12 を介して別の回路基板の L S I に送られて出力されるカスケード接続を組み合わせることが可能である。

本実施例の回路基板 35 は、第 14 図に示すように、上述した各実施例と同様に A C F 18 を用いて、出力端子 8 が電極基板 16 の L C D 端子 17 に電氣的かつ機械的に接続される。このようにして薄型化し、かつ L S I 4 と出力端子 8 とを同一面上に設けた回路基板 35 を L C D セル 2 に接続することによって、L S I 4 が、電極基板 16 の側方にかつその厚みの範囲内に配置されるので、液晶表示装置全体を薄型化することができる。

また、本実施例の回路基板 35 は、第 13 図に示され

るように、入力端子 8、出力配線 9、入力配線 12 及び入力端子 11 が回路基板 35 の L S I 実装面 7 から内部に埋設するように形成されている。従って、例えば第 15 図のように、回路基板 35 の裏面 10 を部分的に削除して窓部 26 を開設することによって、出力端子 8 を裏面 10 側に露出させることができる。

このように出力端子 8 を回路基板 35 の両面に露出させることによって、回路基板 35 は、第 16 図に示すように裏面 10 側から電極基板 16 の L C D 端子 17 に接続することができる。この場合、回路基板 35 をその全面に亘って電極基板 16 に接着できるので、より確実かつ安定的に固定することができる。回路基板 35 の窓部 26 は、例えばエキシマレーザ加工等により裏面 10 を選択的に除去することによって容易に形成することができる。

窓部を開設した回路基板 35 の別の実施例が、第 17 図に示されている。第 4 実施例の回路基板 35 は、第 12 図に示すように、入力端子 11 を設けて左右各側辺部分が、外方に幾分突出している。第 17 図の変形例では、前記左右側辺部分の裏面 10 を削除して、入力端子 11 を裏面 10 側に露出させている。このように入力端子 11 を回路基板 35 の両面に露出させることによって、複数の回路基板 35 を L C D セル 2 の周辺部に隣接させて実装する場合、第 18 図に示すように回路基板 35 の隣接する入力端子 11 部分を相互に重ね合わせて、A C F

や半田付け等によって相互に接続することができる。この場合、上述した第1及び第2実施例のようにワイヤボンディングやFPCを用いる必要がないので接続作業が容易であり、かつ接続部分の信頼性が向上し、しかも部品点数が少なくなつてコストの低減化を図ることができる。

第19図(a)～(c)には、第4実施例の回路基板の更に別の変形例がそれぞれ示されている。第19図(a)の回路基板35は、回路基板裏面10のLSI4に対応する領域に窓部27が設けられている。また、第19図(b)には、第19図(a)の窓部27に加えて、第14図と同様に出力端子8を露出させる窓部28が開設形成されている。更に、第19図(c)の回路基板35には、出力端子8、出力配線9、入力配線12を含む回路基板裏面10の略全体を露出させる窓部29が設けられている。これらの変形例では、回路基板35の裏面10にLSI4の実装領域に対応する窓部を設けることによって、LSI4を回路基板35に実装する際に、加熱ツールを入力配線12及び出力配線9に直接当てることができる。このため、LSI4の各入出力端子を入力及び出力配線12、9により容易にギャングボンディングすることによって接続することができる。

第20図及び第21図には、第4実施例の回路基板35をLCDセル2に接続するための別の構成がそれぞれ示されている。第20図の実施例では、入力端子11が、

回路基板 3 5 の左右両側辺ではなく、長手方向の一方の側辺に沿って出力端子 8 の配列の左右両側に配置されている。回路基板 3 5 の L S I 実装面 7 と反対側の裏面には、図示していないが第 1 7 図と同様に出力端子 8 及び入力端子 1 1 を露出させる窓部が開設されている。

L C D セル 2 の電極基板 1 6 の周辺部には、その X 電極又は Y 電極に接続された L C D 端子 1 7 に加えて、それらと同様に電極基板 1 6 の周縁に沿って、回路基板 3 5 の入力端子 1 1 に対応する位置にパネル接続端子 3 0 がパターン形成されている。更に、電極基板 1 6 には、前記回路基板に隣接させて別の回路基板 3 5 ' を接続するために、同様に L C D 端子 1 7 ' 及びパネル接続端子 3 0 ' が、電極基板 1 6 の周縁に沿ってパターン形成されている。

回路基板 3 5 のパネル接続端子 1 7 と隣接する回路基板 3 5 ' のパネル接続端子 1 7 とは、それぞれ電極基板 1 6 上にパターン形成されたバス配線 3 6 によって相互に接続されている。従って、回路基板 3 5、3 5 ' を、その出力端子 8、8 ' 及び入力端子 1 1、1 1 ' をそれぞれ対応する L C D 端子 1 7、1 7 ' 及びパネル接続端子 3 0、3 0 ' に位置合わせして、例えば A C F を用いて熱圧着することによって電極基板 1 6 に接続すると、同時に前記両回路基板の入力端子 1 1、1 1 ' 同士が相互に接続される。

このように本実施例では、ワイヤボンディングや F P



Cを用いることなく、各回路基板を電極基板に実装するだけで、隣接する前記回路基板同士が接続されて、入力バス配線が相互に連絡される。従って、接続作業が容易で工数を少なくできる利点がある。更に本実施例では、回路基板35の出力端子8及び入力端子11が一直線状に配置されるので、加圧ヘッドを直線状の簡単な形状にすることができ、ボンディング装置を簡単に構成することができる。

また、第20図の実施例では、回路基板裏面に窓部を開設して入出力端子を露出させた第17図と同じ構成を有する回路基板を使用したか、少なくとも出力端子及び入力端子が同一面上に配設されていれば、他の構成の回路基板を用いることができる。例えば、第12図に示される回路基板裏面に窓部を有しない構造のものを使用することができる。この場合、回路基板35は、第14図の場合と同様にLSI4が電極基板16の側方に、かつその厚さの範囲内に位置するように接続される。

第21図の実施例では、各LCD端子17及びパネル接続端子30が電極基板16の内側に配置され、その外側にバス配線36がパターン形成されている。回路基板35は、第20図の実施例と同じ構成のものであり、同様にACF等を用いて電極基板16に一括に接続される。

本実施例では、LCD端子17からLCDセル2のX電極又はY電極への配線長が、第20図の実施例の場合よりも短くなるので、その配線抵抗値が小さくなる利点

が得られる。また、LCD端子17等を形成する電極基板16の周辺部を、第20図の実施例の場合よりも小さくすることができる。但し、本実施例では、電極基板16の周辺部にLCD端子17及びパネル接続端子30の外側にバス配線36を設ける領域を確保する必要となるので、第20図の実施例のように、裏面に窓部を有しない第13図の回路基板を接続することは困難である。

以上、本発明による半導体素子の実装構造を、電子装置として液晶表示装置に適用した場合について説明したが、本発明は、EL（エレクトロルミネセンス）ディスプレイ、プラズマディスプレイ等の他の電子表示装置や、サーマルプリンタ等の電子印字装置にも同様に適用することができる。

第23図乃至第25図には、電子印字装置としてサーマルプリンタヘッドに駆動用LSIを実装する構造の実施例が示されている。第23図に於いて、サーマルプリンタヘッド37には、発熱部38を形成したセラミック基板39上に、駆動用LSI40を搭載した回路基板44が接続されている。回路基板44は、第1図の回路基板3と同様の構成を有し、駆動用LSI40を搭載した面に出力配線45、出力端子46、入力配線47が形成され、かつ反対側の面には、入力端子48と隣接する回路基板のLSIに接続するための入力バス配線が形成されると共に、入力端子48がバイアホール49により入力配線47と相互に接続されている。回路基板44は、

サーマルプリンタヘッド 37 の基板 39 上に形成されたサーマルプリンタヘッド端子 50 と出力端子 46 を位置合わせして、ACF 51 を用いて熱圧着により電気的かつ機械的に接続されている。

第 24 図の実施例では、回路基板 52 が第 12 図の回路基板 35 と同様の構成を有し、かつ第 14 図の場合と同様にしてサーマルプリンタヘッド 37 の基板 39 に接続されている。また、第 25 図の実施例では、回路基板 53 が第 15 図の回路基板 35 と同様の構成を有し、かつ第 16 図の場合と同様にしてサーマルプリンタヘッド 37 の基板 39 に接続されている。

このように本発明の半導体素子の実装構造によれば、電子表示装置だけでなく、電子印字装置その他の様々な電子装置に使用した場合にも、実装面積を非常に小さくしかつ装置全体を薄型化することができ、ダウンサイジング化の要請に対応していわゆるデスエリアの少ないコンパクトな電子装置を実現することができる。

## 請求の範囲

1. 電子装置に半導体素子を実装するための構造であって、それぞれ前記半導体素子を搭載した複数の回路基板を備え、

前記各回路基板が、前記半導体素子に接続された2組の入力配線及び1組の出力配線と、前記各組の入力配線にそれぞれ接続された2組の入力端子と、前記出力配線に接続された1組の出力端子と、前記各組間の前記入力端子を相互に接続する入力バス配線とを有し、

前記出力配線、前記出力端子及び前記入力配線が、前記回路基板の前記半導体素子を実装した面に形成され、前記入力端子及び前記入力バス配線が、前記回路基板の前記半導体素子実装面と反対側の面に形成され、かつ前記各入力端子と対応する前記各入力配線とがそれぞれバリアホールにより接続され、

前記各回路基板が、その前記出力端子を前記電子装置の対応する端子に接続することにより前記電子装置に実装されると共に、

前記各回路基板が、前記各組の入力端子を互いに隣接する別の前記回路基板の1組の前記入力端子に電氣的に接続することにより、前記隣接する別の回路基板と連結されることを特徴とする半導体素子の実装構造。

2. 前記各回路基板の入力端子と前記隣接する回路基板の入力端子との間がワイヤボンディングにより接続され

ていることを特徴とする第1請求項記載の半導体素子の実装構造。

3. 前記各回路基板の入力端子と前記隣接する回路基板の入力端子との間がFPCにより接続されていることを特徴とする第1請求項記載の半導体素子の実装構造。

4. 前記回路基板の前記出力端子が、異方性導電膜を介して前記電子装置の前記端子に接続されていることを特徴とする第1請求項乃至第3請求項のいずれか記載の半導体素子の実装構造。

5. 電子装置に半導体素子を実装するための構造であって、それぞれ前記半導体素子を搭載した複数の回路基板を備え、

前記各回路基板が、前記半導体素子に接続された2組の入力配線及び1組の出力配線と、前記各組の入力配線にそれぞれ接続された2組の入力端子と、前記出力配線に接続された1組の出力端子と、前記各組間の前記入力端子を相互に接続する入力バス配線とを有し、

前記入力配線、前記入力端子及び前記出力配線が、前記回路基板の前記半導体素子を実装した面に形成され、前記出力端子が、前記回路基板の前記半導体素子実装面と反対側の面に形成され、かつ前記各出力端子と対応する前記各出力配線とがそれぞれバイアホールにより接続されると共に、前記入力バス配線が、前記半導体素子を介して相互に接続される前記2組の入力配線により形成され、

前記各回路基板が、その前記出力端子を前記電子装置の対応する端子に接続することにより前記電子装置に実装され、かつ

前記各回路基板が、前記各組の入力端子を互いに隣接する別の前記回路基板の1組の前記入力端子に電氣的に接続することにより、前記隣接する別の回路基板と連結されることを特徴とする半導体素子の実装構造。

6. 前記各回路基板の入力端子と前記隣接する回路基板の入力端子との間がワイヤボンディングにより接続されていることを特徴とする第5請求項記載の半導体素子の実装構造。

7. 前記各回路基板の入力端子と前記隣接する回路基板の入力端子との間がFPCにより接続されていることを特徴とする第5請求項記載の半導体素子の実装構造。

8. 前記回路基板の前記出力端子が、異方性導電膜を介して前記電子装置の前記端子に接続されていることを特徴とする第5請求項乃至第7請求項のいずれか記載の半導体素子の実装構造。

9. 電子装置に半導体素子を実装するための構造であって、それぞれ前記半導体素子を搭載した複数の回路基板を備え、

前記各回路基板が、前記半導体素子に接続された2組の入力配線及び1組の出力配線と、前記各組の入力配線にそれぞれ接続された2組の入力端子と、前記出力配線に接続された1組の出力端子と、前記各組間の前記入力

端子を相互に接続する入力バス配線とを有し、

前記入力配線、前記入力端子、前記出力配線及び前記出力端子が、前記回路基板の前記半導体素子を実装した面に形成され、かつ前記入力バス配線が、前記半導体素子を介して相互に接続される前記２組の入力配線により形成され、

前記各回路基板が、その前記出力端子を前記電子装置の対応する端子に接続することにより前記電子装置に実装され、かつ

前記各回路基板が、前記各組の入力端子を互いに隣接する別の前記回路基板の１組の前記入力端子に電氣的に接続することにより、前記隣接する別の回路基板と連結されることを特徴とする半導体素子の実装構造。

１０．前記回路基板が、前記出力端子を前記半導体素子実装面と反対の面に露出させ、露出した前記出力端子と前記電子装置の前記端子とを接続することにより、前記回路基板が前記電子装置に実装されていることを特徴とする第９請求項記載の半導体素子の実装構造。

１１．前記回路基板が、少なくとも１組の前記入力端子を前記半導体素子実装面と反対の面に露出させ、前記反対面に露出した前記入力端子と隣接する別の前記回路基板の入力端子とを重ね合わせることによって、前記隣接する回路基板と接続されていることを特徴とする第９請求項または第１０請求項記載の半導体素子の実装構造。

１２．前記回路基板が、前記半導体素子を実装した領域

の前記入力配線及び出力配線を前記半導体素子実装面と反対の面に露出させる窓部を有することを特徴とする第9請求項乃至第11請求項のいずれか記載の半導体素子の実装構造。

13. 前記各回路基板の入力端子と前記隣接する回路基板の入力端子との間がワイヤボンディングにより接続されていることを特徴とする第9請求項記載の半導体素子の実装構造。

14. 前記各回路基板の入力端子と前記隣接する回路基板の入力端子との間がFPCにより接続されていることを特徴とする第9請求項記載の半導体素子の実装構造。

15. 前記回路基板の前記出力端子が、異方性導電膜を介して前記電子装置の前記端子に接続されていることを特徴とする第9請求項乃至第14請求項のいずれか記載の半導体素子の実装構造。

16. 電子装置に半導体素子を実装するための構造であって、複数の前記半導体素子を搭載した少なくとも1個の回路基板を備え、

前記回路基板が、前記各半導体素子について、それぞれ1組の出力配線と、前記出力配線に接続された1組の出力端子と、少なくとも1組の入力配線とを有し、かつ1組の前記入力配線に接続された少なくとも1組の入力端子と、前記入力端子に接続された入力バス配線とを有し、

前記出力配線、前記出力端子及び前記入力配線が、前



記回路基板の前記半導体素子を実装した面に形成され、前記入力端子及び前記入力バス配線が、前記回路基板の前記半導体素子実装面と反対側の面に形成され、かつ前記各半導体素子の前記入力配線が、前記入力端子または前記入力バス配線とビアホールを介して接続されると共に、

前記回路基板が、前記出力端子を前記電子装置の対応する端子に接続することにより前記電子装置に実装されることを特徴とする半導体素子の実装構造。

17. 複数の前記回路基板を備え、かつ前記各回路基板が、前記各組の入力端子を互いに隣接する別の前記回路基板の1組の前記入力端子に電氣的に接続することにより、前記隣接する別の回路基板と連結されることを特徴とする第16請求項記載の半導体素子の実装構造。

18. 電子装置に半導体素子を実装するための構造であって、複数の前記半導体素子を搭載した少なくとも1個の回路基板を備え、

前記回路基板が、前記各半導体素子について、それぞれ1組の出力配線と、前記出力配線に接続された1組の出力端子と、少なくとも1組の入力配線とを有し、かつ1組の前記入力配線に接続された少なくとも1組の入力端子と、前記入力端子に接続された入力バス配線とを有し、

前記入力配線、前記入力端子及び前記出力配線が、前記回路基板の前記半導体素子を実装した面に形成され、

前記出力端子が、前記回路基板の前記半導体素子実装面と反対側の面に形成され、かつ前記各出力端子と対応する前記各出力配線とがバイアホールにより接続されると共に、前記入力バス配線が、前記入力端子に接続された前記入力配線と前記半導体素子を介して相互に接続される前記各入力配線とにより形成され、かつ

前記回路基板が、前記出力端子を前記電子装置の対応する端子に接続することにより前記電子装置に実装されていることを特徴とする半導体素子の実装構造。

19. 複数の前記回路基板を備え、かつ前記各回路基板が、前記各組の入力端子を互いに隣接する別の前記回路基板の1組の前記入力端子に電氣的に接続することにより、前記隣接する別の回路基板と連結されることを特徴とする第18請求項記載の半導体素子の実装構造。

20. 電子装置に半導体素子を実装するための構造であって、複数の前記半導体素子を搭載した少なくとも1個の回路基板を備え、

前記回路基板が、前記各半導体素子について、それぞれ1組の出力配線と、前記出力配線に接続された1組の出力端子と、少なくとも1組の入力配線とを有し、かつ1組の前記入力配線に接続された少なくとも1組の入力端子と、前記入力端子に接続された入力バス配線とを有し、

前記入力配線、前記入力端子、前記出力配線及び前記出力端子が、前記回路基板の前記半導体素子を実装した

面に形成され、かつ前記入力バス配線が、前記入力端子に接続された前記入力配線と前記半導体素子を介して相互に接続される前記各入力配線とにより形成されると共に、

前記回路基板が、前記出力端子を前記電子装置の対応する端子に接続することにより前記電子装置に実装されていることを特徴とする半導体素子の実装構造。

21. 複数の前記回路基板を備え、かつ前記各回路基板が、前記各組の入力端子を互いに隣接する別の前記回路基板の1組の前記入力端子に電氣的に接続することにより、前記隣接する別の回路基板と連結されることを特徴とする第20請求項記載の半導体素子の実装構造。

22. 電子装置に半導体素子を実装するための方法であって、

一方の面に前記半導体素子を実装し、前記一方の面に前記半導体素子の入力配線及び出力配線、並びに入力端子または出力端子の一方を有し、他方の面に前記入力端子または出力端子の他方を有し、前記入力端子または出力端子の他方と前記一方の面の対応する前記入力配線または出力配線とをビアホールを介して接続し、かつ前記入力端子と同一面上に入力バス配線を有する回路基板を用意し、

前記出力端子を前記電子装置の対応する端子に接続することによって、前記回路基板を前記電子装置に実装することを特徴とする半導体装置の実装方法。

23. 前記回路基板の前記出力端子と前記電子装置の前記端子との間に異方性導電膜を配置し、熱圧着することによって前記回路基板を前記電子装置に実装することを特徴とする第22請求項記載の半導体装置の実装方法。

24. 互いに隣接させて前記電子装置に実装された複数の前記回路基板を、その隣接する前記入力端子間を接続することによって相互に接続する過程を含むことを特徴とする第22請求項または第23請求項記載の半導体装置の実装方法。

25. 互いに隣接する前記回路基板の隣接する前記入力端子間をワイヤボンディングすることを特徴とする第24請求項記載の半導体装置の実装方法。

26. 互いに隣接する前記回路基板の隣接する前記入力端子間をFPCにより相互に接続することを特徴とする第24請求項記載の半導体装置の実装方法。

27. 電子装置に半導体素子を実装するための方法であって、

一方の面に前記半導体素子を実装し、前記一方の面に前記半導体素子の入力配線及び出力配線、入力端子、出力端子、並びに入力バス配線を有する回路基板を用意し、

前記出力端子を前記電子装置の対応する端子に接続することによって、前記回路基板を前記電子装置に実装することを特徴とする半導体装置の実装方法。

28. 前記回路基板の前記出力端子と前記電子装置の前記端子との間に異方性導電膜を配置し、熱圧着すること

によって前記回路基板を前記電子装置に実装することを特徴とする第 27 請求項記載の半導体装置の実装方法。

29. 互いに隣接させて前記電子装置に実装された複数の前記回路基板を、その隣接する前記入力端子間を接続することによって相互に接続する過程を含むことを特徴とする第 27 請求項または第 28 請求項記載の半導体装置の実装方法。

30. 互いに隣接する前記回路基板の隣接する前記入力端子間をワイヤボンディングすることを特徴とする第 29 請求項記載の半導体装置の実装方法。

31. 互いに隣接する前記回路基板の隣接する前記入力端子間を FPC により相互に接続することを特徴とする第 29 請求項記載の半導体装置の実装方法。

32. 複数の液晶駆動用半導体素子を搭載した液晶表示装置であって、

それぞれ前記半導体素子を搭載した複数の回路基板を備え、

前記各回路基板が、前記半導体素子に接続された 2 組の入力配線及び 1 組の出力配線と、前記各組の入力配線にそれぞれ接続された 2 組の入力端子と、前記出力配線に接続された 1 組の出力端子と、前記各組間の前記入力端子を相互に接続する入力バス配線とを有し、

前記出力配線、前記出力端子及び前記入力配線が、前記回路基板の前記半導体素子を実装した面に形成され、前記入力端子及び前記入力バス配線が、前記回路基板の

前記半導体素子実装面と反対側の面に形成され、かつ前記各入力端子と対応する前記各入力配線とがそれぞれバイアホールにより接続され、

前記各回路基板が前記出力端子を前記液晶表示装置の電極端子に接続することにより実装されると共に、

前記各回路基板が、前記各組の入力端子を互いに隣接する別の前記回路基板の1組の前記入力端子に電氣的に接続することにより、前記隣接する別の回路基板と連結されていることを特徴とする液晶表示装置。

3 3. 複数の液晶駆動用半導体素子を搭載した液晶表示装置であって、

それぞれ前記半導体素子を搭載した複数の回路基板を備え、

前記各回路基板が、前記半導体素子に接続された2組の入力配線及び1組の出力配線と、前記各組の入力配線にそれぞれ接続された2組の入力端子と、前記出力配線に接続された1組の出力端子と、前記各組間の前記入力端子を相互に接続する入力バス配線とを有し、

前記入力配線、前記入力端子及び前記出力配線が、前記回路基板の前記半導体素子を実装した面に形成され、前記出力端子が、前記回路基板の前記半導体素子実装面と反対側の面に形成され、かつ前記各出力端子と対応する前記各出力配線とがそれぞれバイアホールにより接続されると共に、前記入力バス配線が、前記半導体素子を介して相互に接続される前記2組の入力配線により形成

され、

前記各回路基板が、その前記出力端子を前記液晶表示装置の電極端子に接続することにより実装され、かつ

前記各回路基板が、前記各組の入力端子を互いに隣接する別の前記回路基板の1組の前記入力端子に電氣的に接続することにより、前記隣接する別の回路基板と連結されていることを特徴とする液晶表示装置。

34. 複数の液晶駆動用半導体素子を搭載した液晶表示装置であって、

それぞれ前記半導体素子を搭載した複数の回路基板を備え、

前記各回路基板が、前記半導体素子に接続された2組の入力配線及び1組の出力配線と、前記各組の入力配線にそれぞれ接続された2組の入力端子と、前記出力配線に接続された1組の出力端子と、前記各組間の前記入力端子を相互に接続する入力バス配線とを有し、

前記入力配線、前記入力端子、前記出力配線及び前記出力端子が、前記回路基板の前記半導体素子を実装した面に形成され、かつ前記入力バス配線が、前記半導体素子を介して相互に接続される前記2組の入力配線により形成され、

前記各回路基板が、その前記出力端子を前記液晶表示装置の電極端子に接続することにより実装され、かつ

前記各回路基板が、前記各組の入力端子を互いに隣接する別の前記回路基板の1組の前記入力端子に電氣的に

接続することにより、前記隣接する別の回路基板と連結されていることを特徴とする液晶表示装置。

35. 複数の液晶駆動用半導体素子を搭載した液晶表示装置であって、

複数の前記半導体素子を搭載した少なくとも1個の回路基板を備え、

前記回路基板が、前記各半導体素子について、それぞれ1組の出力配線と、前記出力配線に接続された1組の出力端子と、少なくとも1組の入力配線とを有し、かつ1組の前記入力配線に接続された少なくとも1組の入力端子と、前記入力端子に接続された入力バス配線とを有し、

前記出力配線、前記出力端子及び前記入力配線が、前記回路基板の前記半導体素子を実装した面に形成され、前記入力端子及び前記入力バス配線が、前記回路基板の前記半導体素子実装面と反対側の面に形成され、かつ前記各半導体素子の前記入力配線が、前記入力端子または前記入力バス配線とバイアホールを介して接続されると共に、

前記回路基板が、前記出力端子を前記液晶表示装置の電極端子に接続することにより実装されていることを特徴とする液晶表示装置。

36. 複数の液晶駆動用半導体素子を搭載した液晶表示装置であって、

複数の前記半導体素子を搭載した少なくとも1個の回



路基板を備え、

前記回路基板が、前記各半導体素子について、それぞれ1組の出力配線と、前記出力配線に接続された1組の出力端子と、少なくとも1組の入力配線とを有し、かつ1組の前記入力配線に接続された少なくとも1組の入力端子と、前記入力端子に接続された入力バス配線とを有し、

前記入力配線、前記入力端子及び前記出力配線が、前記回路基板の前記半導体素子を実装した面に形成され、前記出力端子が、前記回路基板の前記半導体素子実装面と反対側の面に形成され、かつ前記各出力端子と対応する前記各出力配線とがビアホールにより接続されると共に、前記入力バス配線が、前記入力端子に接続された前記入力配線と前記半導体素子を介して相互に接続される前記各入力配線とにより形成され、かつ

前記回路基板が、前記出力端子を前記液晶表示装置の電極端子に接続することにより実装されていることを特徴とする液晶表示装置。

37. 複数の液晶駆動用半導体素子を搭載した液晶表示装置であって、

複数の前記半導体素子を搭載した少なくとも1個の回路基板を備え、

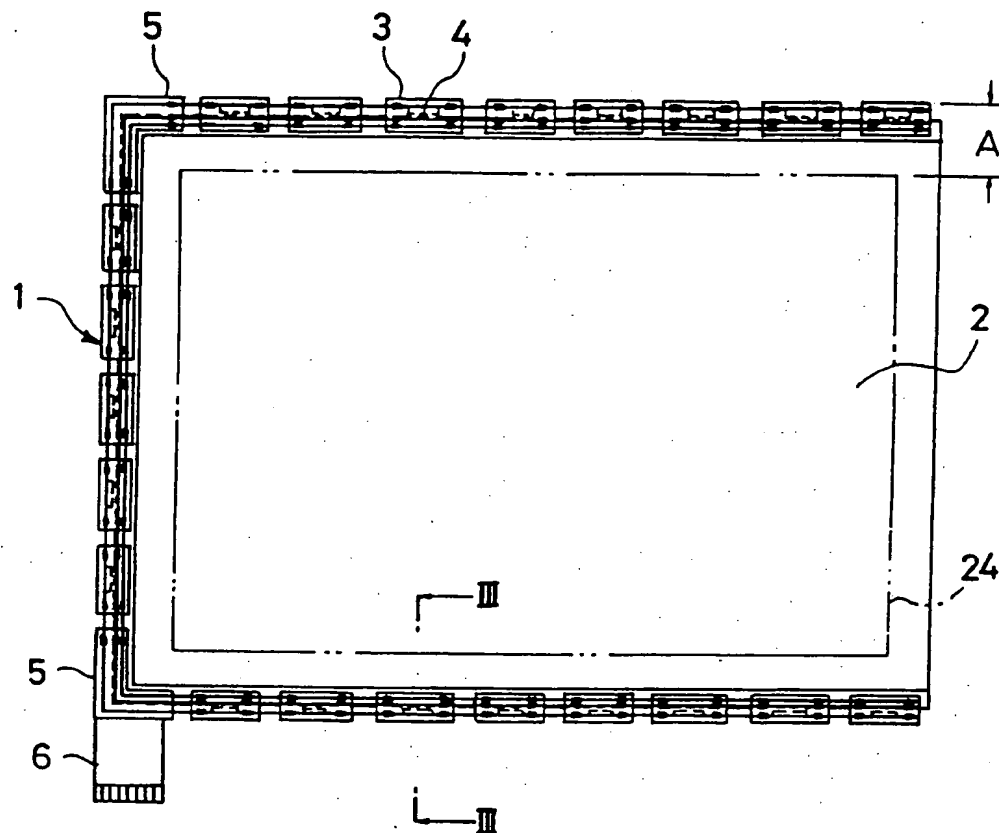
前記回路基板が、前記各半導体素子について、それぞれ1組の出力配線と、前記出力配線に接続された1組の出力端子と、少なくとも1組の入力配線とを有し、かつ

1組の前記入力配線に接続された少なくとも1組の入力端子と、前記入力端子に接続された入力バス配線とを有し、

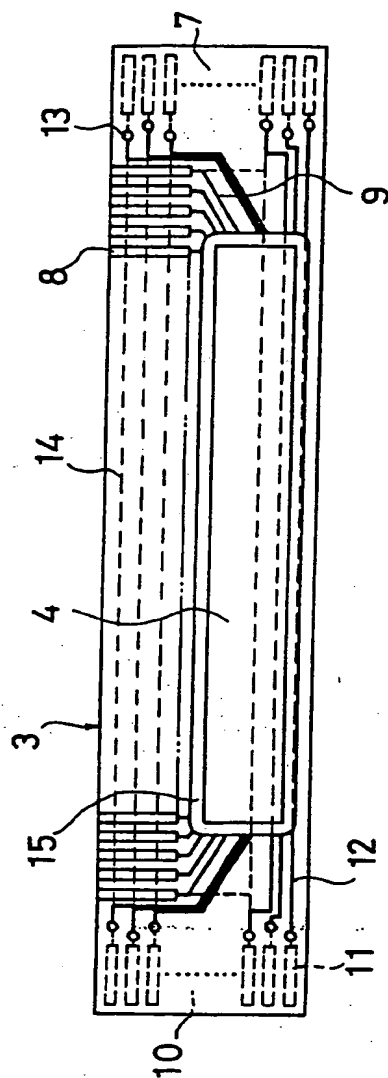
前記入力配線、前記入力端子、前記出力配線及び前記出力端子が、前記回路基板の前記半導体素子を実装した面に形成され、かつ前記入力バス配線が、前記入力端子に接続された前記入力配線と前記半導体素子を介して相互に接続される前記各入力配線とにより形成されると共に、

前記回路基板が、前記出力端子を前記液晶表示装置の電極端子に接続することにより実装されていることを特徴とする液晶表示装置。

第 1 図

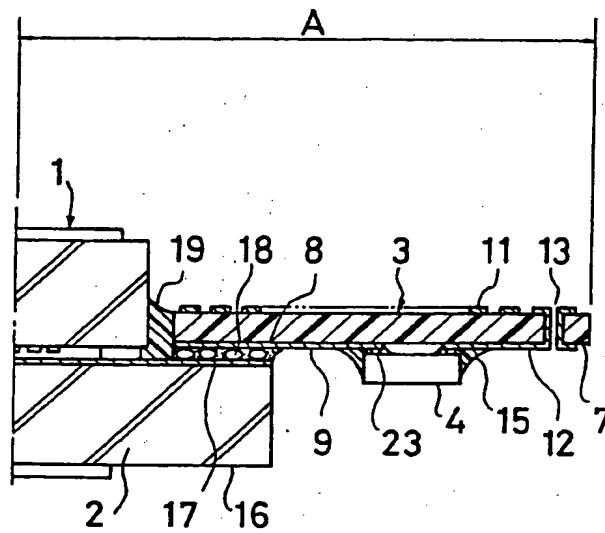


2 / 19

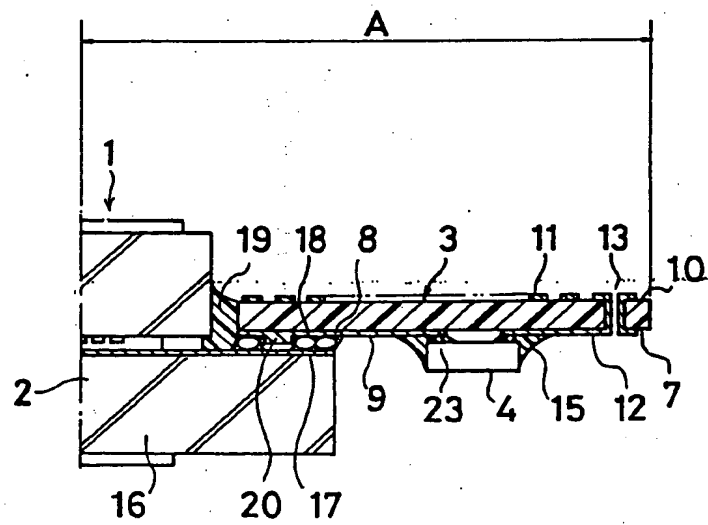


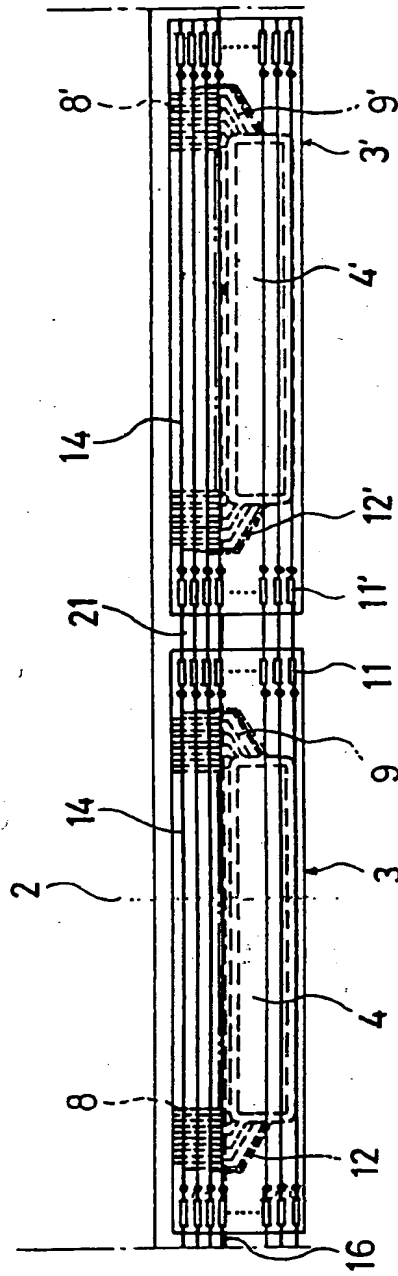
第2図

第 3 図

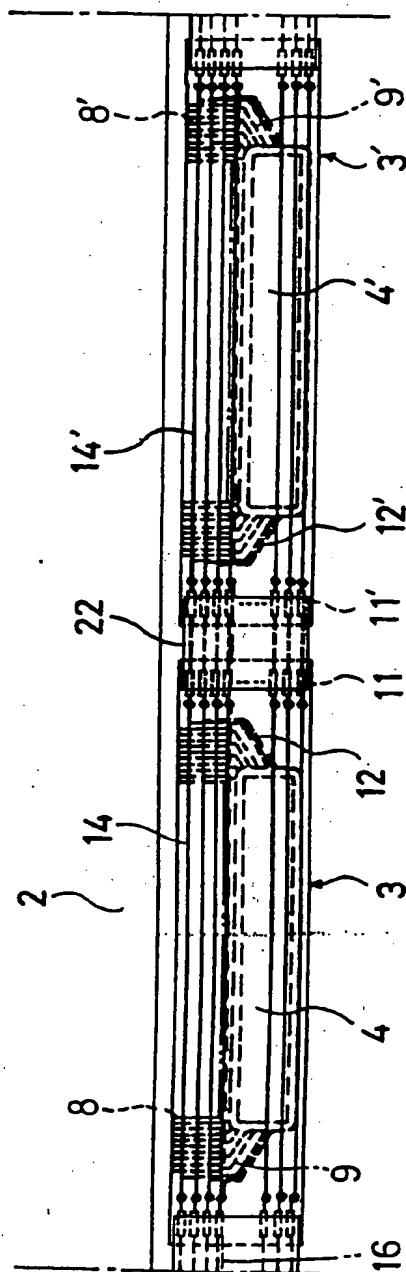


第 4 図





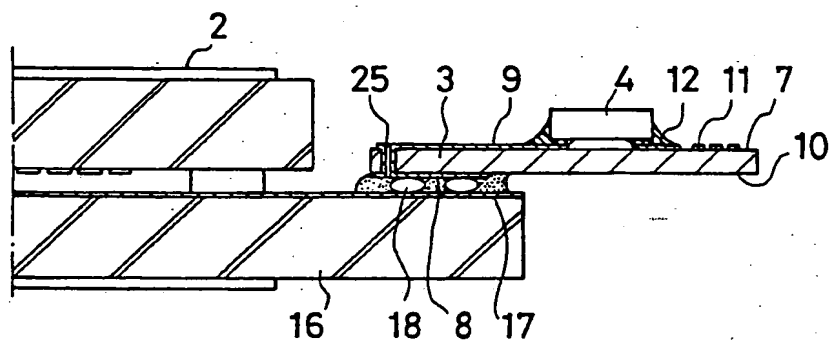
第5図



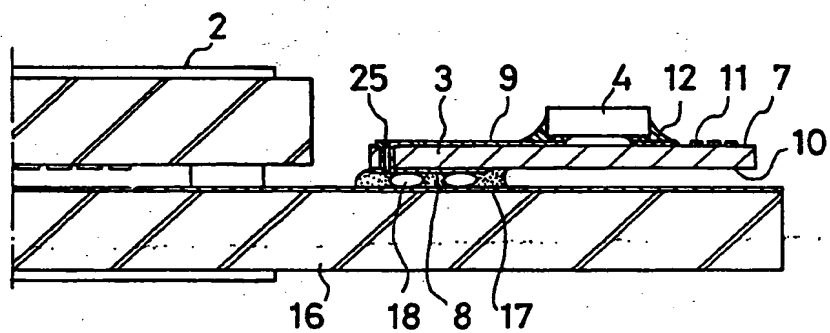
第 6 図

6 / 19

第 7 図

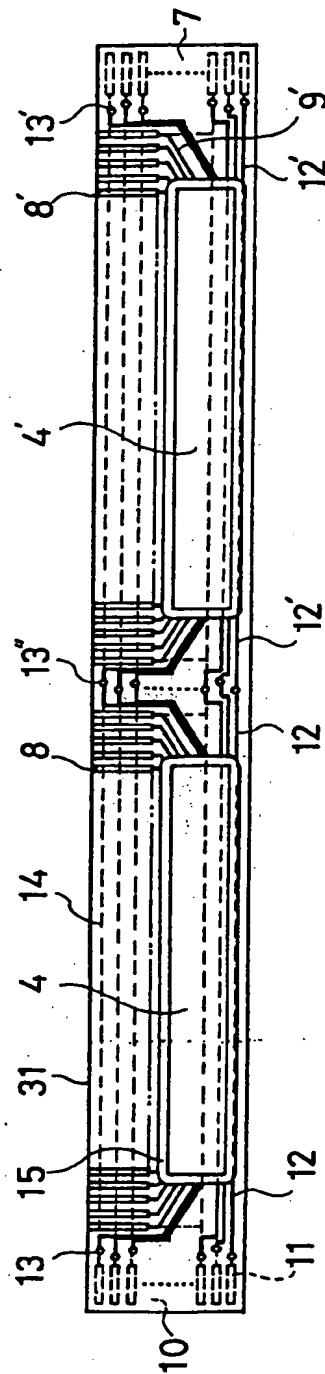


第 8 図



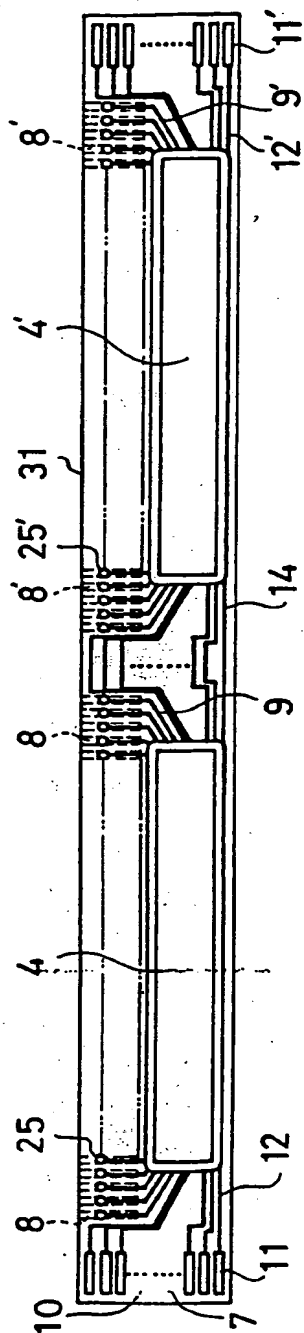


7 / 19

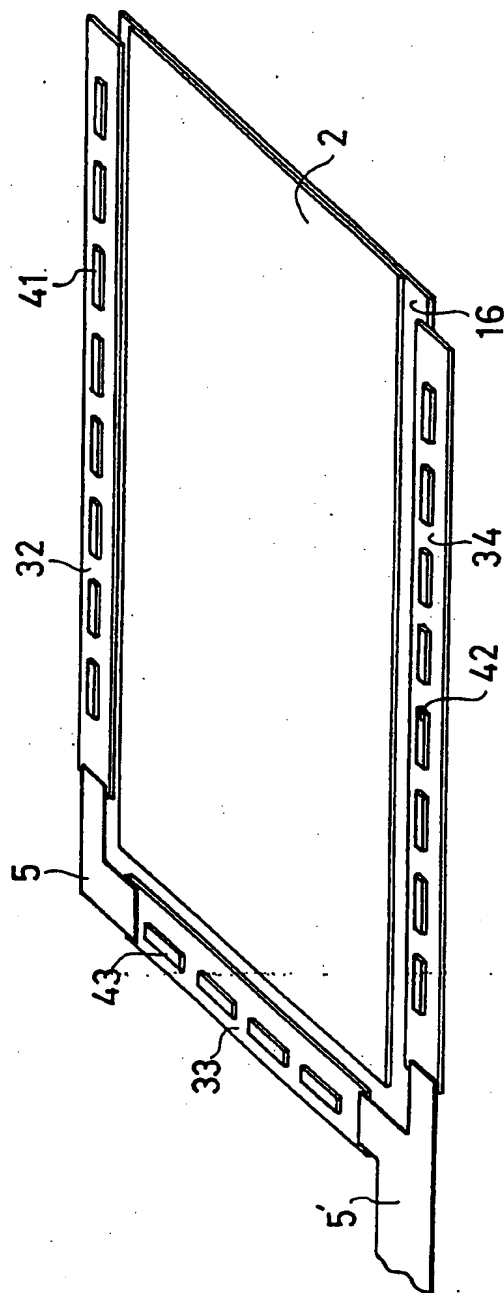


第9図

8 / 19

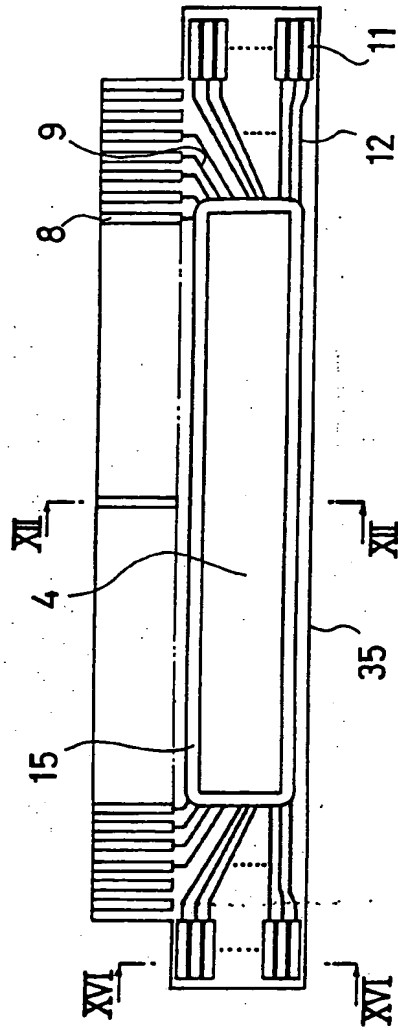


第10図



第11図

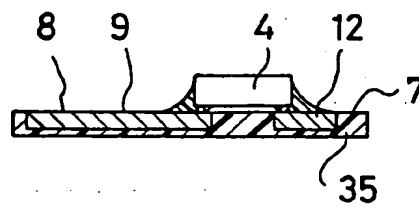
10 / 19



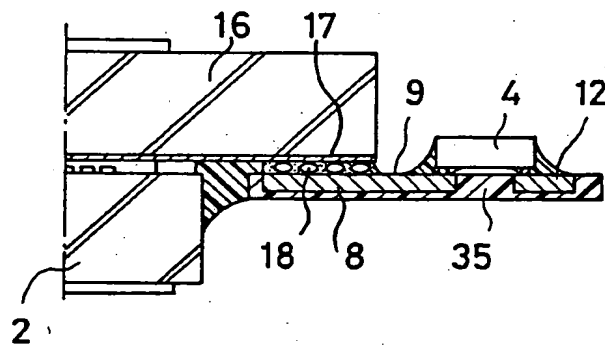
第 1 2 図

11 / 19

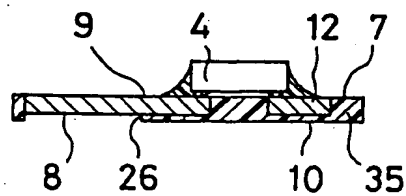
第 1 3 図



第 1 4 図

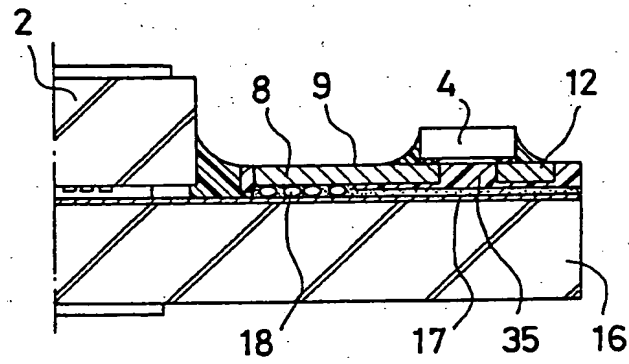


第 1 5 図

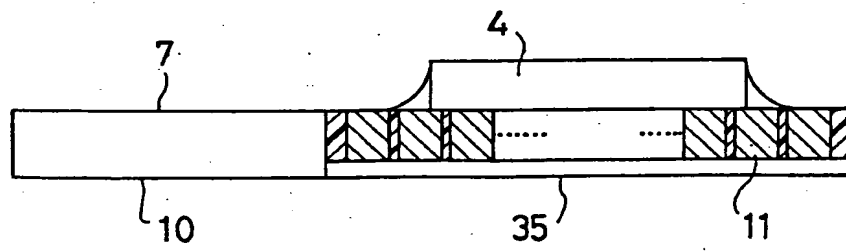


12 / 19

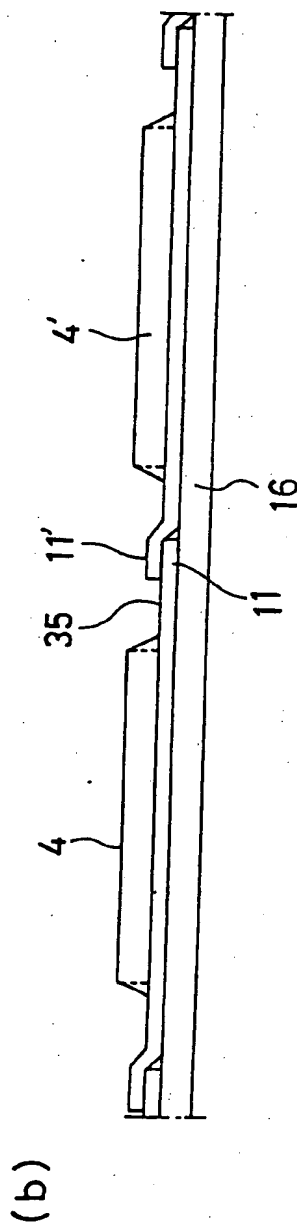
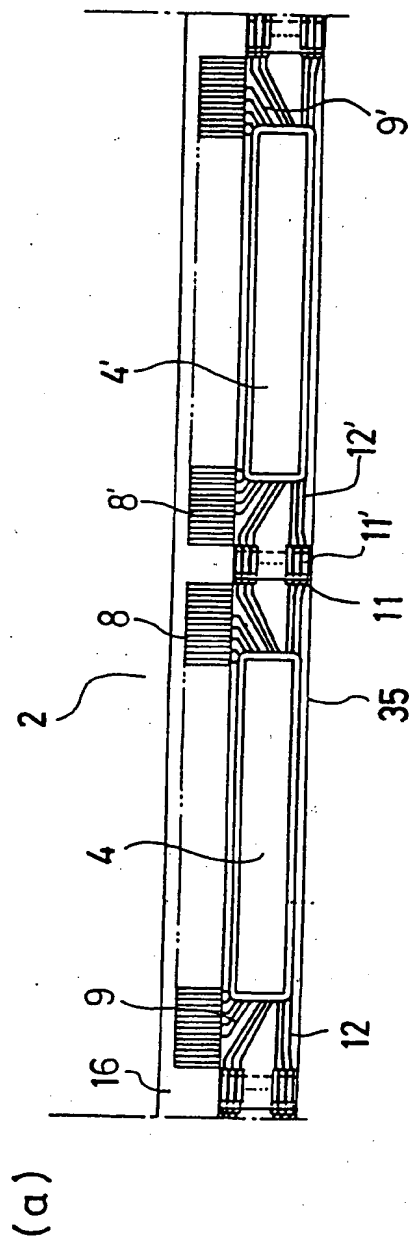
第 16 図



第 17 図



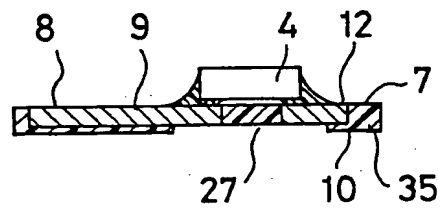
第18図



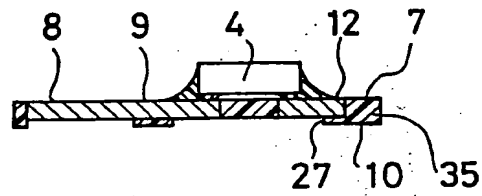
14 / 19

第 19 図

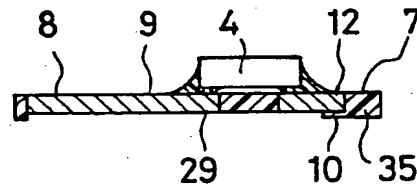
(a)



(b)



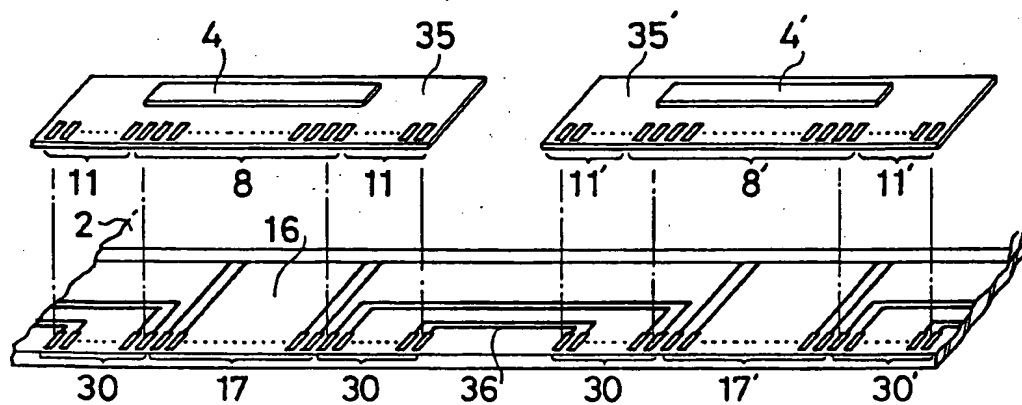
(c)



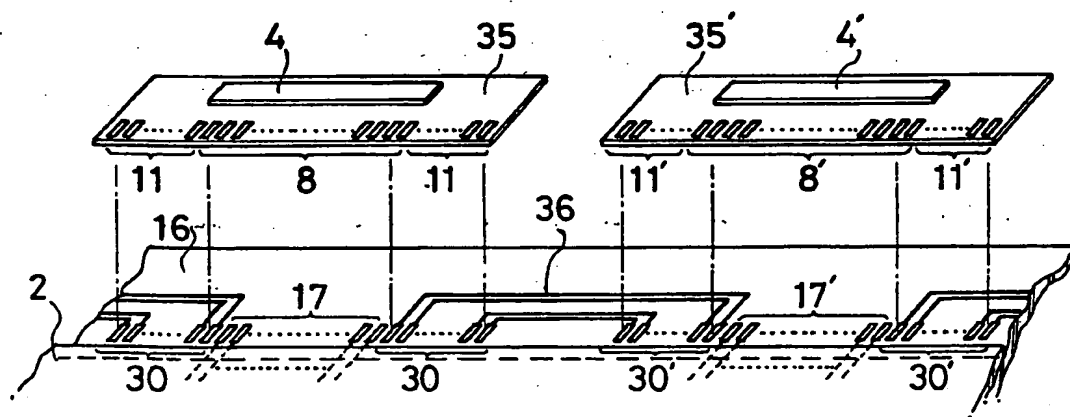


15 / 19

第 20 図

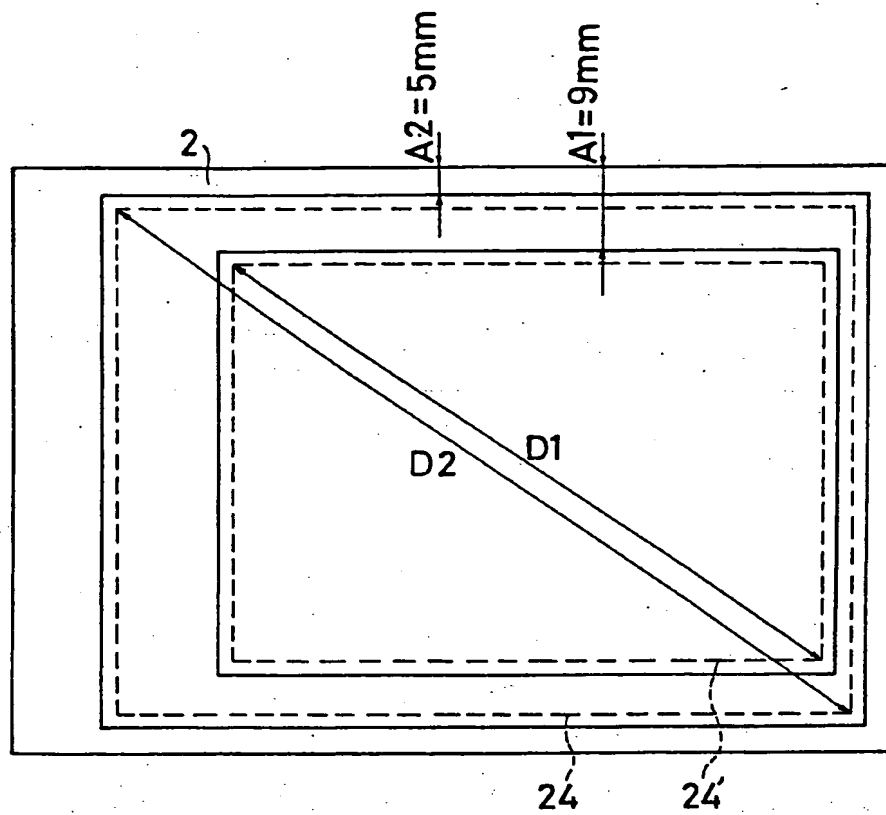


第 21 図



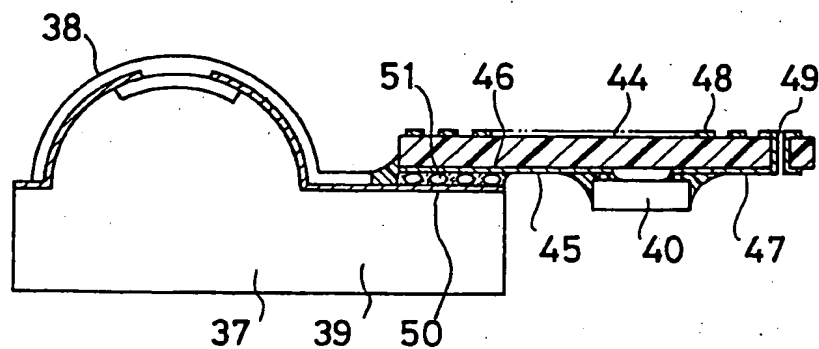
16 / 19

第 22 図

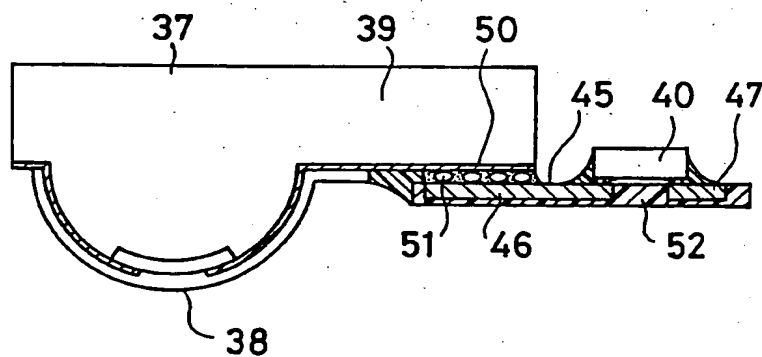


17 / 19

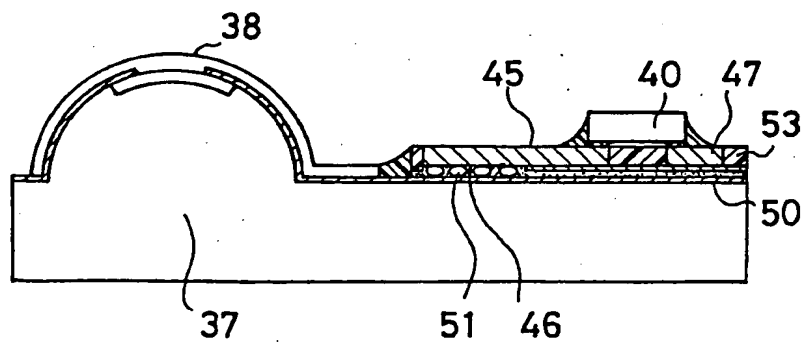
第 2 3 図



第 2 4 図

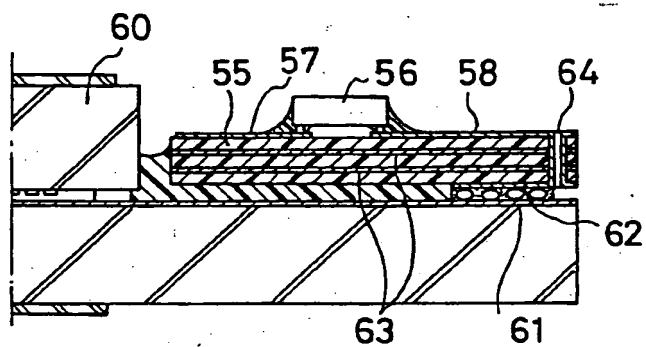


第 2 5 図

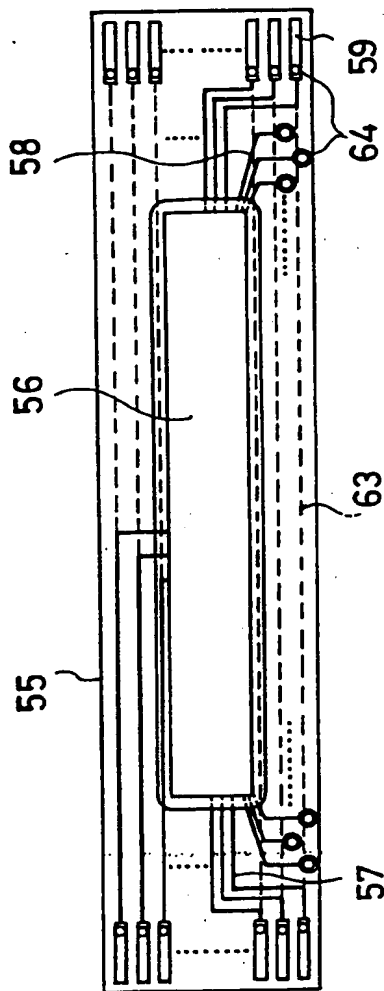


18 / 19

第 26 図



19 19



第 27 図

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP94/01887

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H01L21/60, G02F1/1345

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H01L21/60, G02F1/1345

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1962 - 1994

Kokai Jitsuyo Shinan Koho 1971 - 1994

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, A, 4-147221 (Casio Computer Co., Ltd.), May 20, 1992 (20. 05. 92), (Family: none)	9, 14, 15, 20, 21, 27-31, 34, 37
A	JP, A, 4-274413 (Hitachi, Ltd.), September 30, 1992 (30. 09. 92), (Family: none)	1-8, 10-13 22-26, 32, 33
A	JP, A, 4-212495 (Micro Gijutsu Kenkyusho K.K.), August 4, 1992 (04. 08. 92), (Family: none)	16-19, 35, 36

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
January 11, 1995 (11. 01. 95)Date of mailing of the international search report  
January 31, 1995 (31. 01. 95)Name and mailing address of the ISA/  
Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. <sup>8</sup> H01L21/60.G02F1/1345		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. <sup>8</sup> H01L21/60.G02F1/1345		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1962-1994年		
日本国公開実用新案公報 1971-1994年		
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, A, 4-147221 (カシオ計算機株式会社), 20. 5月. 1992 (20. 05. 92) (ファミリーなし)	9, 14, 15, 20, 21, 27-31, 34, 37
A	JP, A, 4-274413 (株式会社 日立製作所), 30. 9月. 1992 (30. 09. 92) (ファミリーなし)	1-8, 10-13 22-26, 32, 33
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日 若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日 の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と 矛盾するものではなく、発明の原理又は理論の理解のため に引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規 性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文 献との、当業者にとって自明である組合せによって進歩性 がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
11. 01. 95	31.01.95	
名称及びあて先	特許庁審査官 (権限のある職員)	4 M 6 9 1 8
日本国特許庁 (ISA/JP)	小 田 裕	
郵便番号100	電話番号 03-3581-1101 内線	3462
東京都千代田区霞が関三丁目4番3号		

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, A, 4-212495 (株式会社 ミクロ技術研究所), 4. 8月. 1992 (04. 08. 92) (ファミリーなし)	16-19, 35, 36